

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 195 47 896 A 1

⑤1 Int. Cl. 6:
G 01 R 13/00
H 04 L 1/24

②1 Aktenzeichen: 195 47 896.7
②2 Anmeldetag: 21. 12. 95
④3 Offenlegungstag: 3. 7. 97

DE 195 47 896 A 1

⑦1 Anmelder:
Rohde & Schwarz GmbH & Co KG, 81671 München,
DE

⑦4 Vertreter:
Graf, W., Dipl.-Ing., Pat.-Anw., 81667 München

⑦2 Erfinder:
Balz, Christoph, Dipl.-Ing., 81545 München, DE

⑤6 Entgegenhaltungen:
DE 34 07 942 A1
US 48 18 931

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Anordnung zum Darstellen der Signalzustände eines QAM-modulierten Signals

⑤7 Bei einer Anordnung zum grafischen Darstellen der am Ausgang eines Demodulators für quadratur-amplituden-modulierte Signale ausgegebenen IQ-Werte in der IQ-Ebene auf dem Bildschirm einer Anzeigeeinrichtung ist jedem einzelnen IQ-Wert eine Adresse des Datenspeichers und jeder Adresse des Datenspeichers ein Pixel der Anzeigeeinrichtung zugeordnet; unter jeder Adresse dieses Datenspeichers ist eine dem jeweiligen IQ-Wert zugeordnete Information, beispielsweise eine vorgegebene Pixel-Haltezeit abgespeichert und der Prozessor ist unmittelbar mit dem IQ-Ausgang des Demodulators verbunden und so ausgebildet, daß er für jeden IQ-Wert die zugehörige IQ-Wert-Adresse im Datenspeicher bestimmt.

DE 195 47 896 A 1

Die Erfindung betrifft und geht aus von einer Anordnung laut Oberbegriff des Hauptanspruches.

Eine Anordnung dieser Art ist bekannt (Datenblatt des Vektorsignalanalysator HP 89400-8 der Firma Hewlett Packard). Die am IQ-Ausgang des QAM-Modulators seriell ausgegebenen IQ-Werte werden nacheinander in der Reihenfolge ihres Auftretens in einem Datenspeicher zwischengespeichert und können dann daraus über einen Prozessor ausgelesen und auf dem Bildschirm in der IQ-Ebene grafisch dargestellt werden. Hierfür ist ein Datenspeicher mit großem Speicherumfang erforderlich, für nur 4096 Signalzustände ist beispielsweise ein 4 Mbyte großer Datenspeicher erforderlich (Seite 4 des HP Datenblattes). Außerdem können mit dieser bekannten Anordnung die möglichen Fehler der Datenübertragungsstrecke zwischen Sender und Empfänger nur auf komplizierte Weise gemessen werden.

Es ist daher Aufgabe der Erfindung, eine einfachere und bezüglich der Meßmöglichkeiten universellere Anordnung dieser Art zu schaffen.

Diese Aufgabe wird ausgehend von einer Anordnung laut Oberbegriff des Hauptanspruches durch dessen kennzeichnende Merkmale gelöst. Vorteilhafte Weiterbildungen ergeben sich aus den Unteransprüchen.

Bei der erfindungsgemäßen Anordnung ist jedem einzelnen digitalisierten IQ-Wert eine gesonderte Adresse des Datenspeichers zugeordnet und es ist damit möglich, für jedes einzelne einem IQ-Wert zugeordnete Pixel jeweils gesonderte Informationen abzuspeichern. Eine Möglichkeit hierfür ist, daß unter jeder Adresse jeweils die gewünschte Pixel-Haltezeit abgespeichert wird, eine andere Möglichkeit ist, unter jeder Adresse die Häufigkeit abzuspeichern, mit der diese jeweilige Adresse und damit der zugehörige IQ-Wert innerhalb eines vorgegebenen Erfassungszeitraumes auftritt.

Für eine erfindungsgemäße Anordnung ist nur ein Datenspeicher von relativ geringem Speicherumfang erforderlich, für 8-Bit-guantisierte IQ-Werte ist beispielsweise nur ein 65 536-Worte-Datenspeicher erforderlich. Trotzdem können mit der erfindungsgemäßen Anordnung nicht nur senderseitige Fehler des Modulators wie IQ-Phasenfehler, IQ-Amplituden-Ungleichheiten bzw. die Trägerunterdrückung gemessen werden, sondern vor allem auch Fehler der Übertragungsstrecke zwischen Sender und Empfänger, beispielsweise der Phasenjitter, die sinusförmige Interferenz, das Signal-Rausch-Verhältnis bzw. die Vektorfehlergröße (VEM = Vektor Error Magnitude) RMS und Spitze.

Die Erfindung wird im folgenden anhand einer schematischen Zeichnung an einem Ausführungsbeispiel näher erläutert.

Die Fig. zeigt das Prinzipschaltbild einer Anordnung zum grafischen Darstellen der Signalzustände eines Quadratur-Amplituden (QAM)-modulierten Signals in der IQ-Ebene auf dem Bildschirm 7 einer Anzeigeeinrichtung. Der I (IN-Phase)- und Q (Quadratur)-Ausgang 1 des Demodulators 2 eines nicht näher dargestellten QAM-Empfängers ist über eine Datenleitung 3 unmittelbar mit dem Eingang 4 eines digitalen Signalprozessors 5 verbunden. Im Signalprozessor 5 werden aus diesen seriell zugeführten I- und Q-Werten die zugehörigen Positionen der Signalzustände in der IQ-Ebene interpretiert. Über die Datenleitung 6 kann der entsprechende Signalzustand in der IQ-Ebene auf dem Bildschirm 7 der Anzeigeeinrichtung dargestellt werden.

Die Anzeigeeinrichtung ist beispielsweise ein LC-(Liquid Cristal) Display. Der Prozessor 5 ist außerdem über eine Datenleitung 8 mit einem Datenspeicher 9 verbunden. Jedem IQ-Wert ist eine Adresse des Datenspeichers zugeordnet. In dem dargestellten Ausführungsbeispiel besteht das in der IQ-Ebene auf dem Bildschirm 7 darzustellende Zustandsdiagramm aus $256 \times 256 = 65\,536$ IQ-Werten und ebensovielen Pixeln (Punkte des Bildschirmes). Die Position eines jeden Pixels auf dem Bildschirm läßt sich damit also mit 16 Bit beschreiben. Der Datenspeicher 9 besitzt seinerseits 65 536 Adressen, von denen jede wiederum durch 16 Bit beschrieben ist. Unter jeder der Adressen des Datenspeichers 9 können beliebige Informationen für die einzelnen Pixel abgespeichert sein.

Eine erste Betriebsmöglichkeit für eine erfindungsgemäße Anordnung besteht darin, unter jeder Adresse des Datenspeichers 9 eine Information über die Zeit abzuspeichern, in der die einzelnen Pixel jeweils am Bildschirm sichtbar sein sollen. Wird vom Benutzer beispielsweise eine Pixel-Haltezeit von 20 Sekunden bei einer Auffrischrate von 1 Sekunde gewünscht, so wird in den einzelnen, den gemessenen Pixeln zugeordneten Adressen des Datenspeichers 9 beispielsweise die Zahl 20 eingespeichert. Dies kann durch den Benutzer beispielsweise über eine Haltezeit-Einstelleinrichtung 10 erfolgen, die den einzelnen Speicherzellen des Datenspeichers 9 zugeordnet ist. Bei der Darstellung der IQ-Werte über den Prozessor 5 auf dem Bildschirm 7 wird jeweils der Inhalt jeder einzelnen Adresse des Datenspeichers 9 abgefragt.

Ein Pixel wird am Display dargestellt, wenn der Inhalt der zugeordneten Adresse > 0 ist. Wird über den Prozessor 5 ein Pixel auf dem Bildschirm dargestellt, so wird gleichzeitig unter der zugeordneten Adresse der Inhalt der Speicherzelle um 1 vermindert. Ist in dem gewählten Beispiel ein Pixel 20 mal angezeigt worden und so die gewählte Pixelhaltezeit erreicht, so wird es nicht mehr am Bildschirm angezeigt. Bei erneutem Auftreten des betrachteten IQ-Wertes wird die Speicherzelle unter dieser Adresse erneut mit der Zahl 20 geladen und ein erneutes Auftreten dieses Pixels mit der gewählten Haltezeit dargestellt. Da die Wahl der Haltezeit beliebig groß sein kann ist auch eine unendlich lange Haltezeit einstellbar. In diesem Fall entfällt das Vermindern des Inhaltes der Speicherzelle bei Auslesen.

Eine andere Betriebsmöglichkeit für die Anzeigeeinrichtung besteht darin, unter jeder Adresse jeweils abzuspeichern, wie häufig innerhalb eines vorgegebenen Erfassungszeitraumes ein Signalzustand auftritt. Über einen Steuerschalter 11 kann eine vorbestimmte Erfassungszeit eingestellt werden. Innerhalb dieser vorbestimmten Zeitspanne wird über den Prozessor 5 jeweils unter einer Adresse des Datenspeichers 9 der Inhalt der Speicheradresse um 1 erhöht, wenn über den Prozessor jeweils ein IQ-Wert festgestellt wird, der dieser Adresse des Datenspeichers und damit der jeweiligen Pixelposition zugeordnet ist. Auf diese Weise wird unter jeder Adresse des Datenspeichers die Häufigkeit abgespeichert, mit der diese Adresse und damit das zugehörige Pixel jeweils auftritt. Daraus können dann die verschiedensten Fehlerberechnungen durchgeführt werden.

Auf dem Bildschirm der Anzeigevorrichtung 7 sind in dem dargestellten Ausführungsbeispiel die Signalzustände eines 64 QAM-Signals dargestellt, daraus kann der Benutzer dann die Art der verwendeten Modulation und deren Qualität bestimmen.

1. Anordnung zum grafischen Darstellen der am Ausgang (1) eines Demodulators (2) für quadraturamplitudenmodulierte Signale ausgegebenen IQ-Werte in der IQ-Ebene auf dem Bildschirm einer Anzeigeeinrichtung (7), mit einem Datenspeicher (9) und einem die Anzeigeeinrichtung (7) steuernden Prozessor (5), dadurch gekennzeichnet, daß jedem einzelnen IQ-Wert eine Adresse des Datenspeichers (9) und jeder Adresse des Datenspeichers (9) ein Pixel der Anzeigeeinrichtung (7) zugeordnet ist, unter jeder Adresse dieses Datenspeichers eine dem jeweiligen IQ-Wert zugeordnete Information abgespeichert ist und der Prozessor (5) unmittelbar mit dem IQ-Ausgang des Demodulators (2) verbunden und so ausgebildet ist, daß er für jeden IQ-Wert die zugehörige IQ-Wert-Adresse im Datenspeicher (9) bestimmt.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß unter jeder Adresse des Datenspeichers (9) bei Auftreten des entsprechenden IQ-Wertes eine vorgegebene Pixel-Haltezeit abgespeichert ist.
3. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß unter jeder Adresse des Datenspeichers die Häufigkeit abgespeichert ist, mit der diese Adresse und damit der entsprechende IQ-Wert in einer vorgegebenen Erfassungszeit bestimmt worden ist.

Hierzu 1 Seite(n) Zeichnungen

